

⑨ 日本国特許庁 (JP) ⑩ 公開特許公報 (A) ⑪ 特許出願公開 昭57-117171

⑤Int. Cl.³
G 11 C 11/14
19/08

識別記号 庁内整理番号
7341-5B

④公開 昭和57年(1982)7月21日

発明の数 1
審査請求 有

(全 3 頁)

⑤磁気バブルメモリ素子

②特 願 昭55-173090

②出 願 昭55(1980)12月10日

②發明者 柳瀬武泰

川崎市中原区上小田中1015番地
富士通株式会社内

⑦發明者 天津正史

川崎市中原区上小田中1015番地

富士通株式会社内

⑦出願人 富士通株式会社

川崎市中原区上小田中1015番地

⑦代理 人 弁理士 青木朗 外3名

明細書

1. 発明の名称

磁気バブルメモリ素子

2. 特許請求の範囲

1. パーマロイ等の軟磁性パターンを用いてバブル磁区の転送制御が行なわれ、情報を格納する複数個のマイナーループと、一对の読出し及び書き込みラインと、転送パターンと同一材質及び膜厚を有した軟磁性体パターンに検出電流を流して磁気抵抗効果を利用してバブル磁区の検出を行なうバブル磁区検出器とを具備してバブルメモリプロックを構成した磁気バブルメモリ素子において、バブル磁区検出器は、バブル磁区検出用の軟磁性体パターンを3段連続して配置したものであることを特徴とする磁気バブルメモリ素子。

2. 特許請求の範囲第1項記載の磁気バブルメモリ素子において、バブルメモリプロックを2個組合わせ、一方のプロックを奇数プロックとし、他方のプロックを偶数プロックとしたことを特徴とする磁気バブルメモリ素子。

3. 発明の詳細な説明

本発明は磁気バブルメモリ素子の改良に関する。従来より、磁気バブルメモリ装置に用いられる磁気バブルメモリ素子には第1図に示す如き奇数偶数プロックを持つ素子構成のものがある。これについて簡単に説明すると、1はガドリニウム・ガリウム・ガーネット等の非磁性単結晶板の上に液相エピタキシャル成長法により磁性ガーネットの薄膜を形成した基板であり、この基板の上に絶縁材料のスペーサーを介してバブル発生器2を有する書き入ライン3、スワップゲート又はトランスマッゲート4、情報格納用の複数個のマイナーループ5、レプリケータ6、読出しライン7、バブル検出器8等を有するプロックが形成されている。このプロックはマイナーループ5の間隔がパターン形成上書き込ライン3及び読出しライン7の2ピット毎であるのでバブルを駆動する回転磁界の2周期に1回の割合で書き込み、読出しが行なわれる。従って高密度素子では図の如くプロックを2個並べて形成し、Aプロックを奇数プロック、Bプロ

ックを偶数ブロックとして交互に動作せしめるようになっている。そのため奇数ブロックAの書込みライン3の長さをロステップ。読み出しライン7の長さをロステップとし、偶数ブロックBの書込みライン3の長さはロ+1ステップ。読み出しライン7の長さはm-1ステップとしている。このようなパブルメモリ素子において、そのパターン数を減らすことによりフォトマスクのコストを下げ、更にその歩留り向上をはかるためフォトマスクには片ブロック分のみをパターンングし、実際の素子は、それをウェーハ上に繰返し露光した後、隣り合った各2ブロックで奇数偶数ブロック構造を構成する方法がとられている。ところが本方式の素子は第1図に示したようにマイナーループ5の出口のレプリケータ6からパブル検出器8までのステップ数を両ブロックで1ステップずらしておく必要があり、そのため従来より各ブロックのパブル検出器8の構成として図に示したように、2段連続した検出パターンD₁ D₂を用意しておき、奇数ブロックA、偶数ブロックBを使い分ける方

法がとられている。ところがこの方式では両ブロックの検出器の抵抗偏差が大きく8%が極めて悪い。また他の方法として第2図に示すように、前記D₁ D₂に加えダミーの検出パターンDd₁、Dd₂を配置し、各ブロックに対しD₁とDd₁、D₂とDd₂のようにペアでノイズキャンセルを行なわせることがある。この方法ではD₁とDd₁、D₂とDd₂のペアに対してその抵抗偏差が小さくなり8%が良くなるが、検出器手前のパブル磁区により発生する渦巻きによるノイズ(クロストークノイズ)が問題となる場合がある。本発明はこれらの問題を解決するために案出されたものである。

このため本発明においては、バーマロイ等の軟磁性パターンを用いてパブル磁区の転送制御が行なわれ、情報を格納する複数個のマイナーループと、一对の読み出し及び書込ラインと、転送パターンと同一材質及び膜厚を有する軟磁性パターンに検出電流を流して磁気抵抗効果を利用して、パブル磁区の検出を行なうパブル磁区検出器とを具備してパブルメモリブロックを構成した磁気パブルメ

モリ素子において、パブル磁区検出器は、パブル磁区検出用の軟磁性体パターンを3段連続して配置したものであることを特徴とするものである。

以下添付図面に基づいて本発明の実施例につき詳細に説明する。

第3図に実施例のブロックの構成図を示す。本実施例は磁気パブル発生器2及び2'を有する書込ライン3に、スワップゲート又はトランスマッタゲート4を介して複数個のマイナーループ5が接続され、このマイナーループ5にレプリケータ6を介して読み出しライン7が接続され、この読み出しライン7にはパブル磁区検出器8が接続されている。このパブル磁区検出器8には本発明の要点であるバルブ磁区検出用の軟磁性体パターンD₁、D₂、D₃が連続して3段に形成されている。なお磁気パブル発生器2と2'とは1ビットずらして書込ライン3に接続されている。

このように構成されたブロックの作用を第4図を用いて説明する。第4図は第3図のブロックを基板1の上に2個並べて形成し、一方のブロック

Aを奇数ブロックとし、他方のブロックBを偶数ブロックとしたものである。そしてブロックAは磁気パブル発生器2を用い+1のマイナーループ5のスワップゲート又はトランスマッタゲート4までの書込ライン3の長さをロステップとし、また読み出しライン7は磁気パブル検出器8の軟磁性体パターンD₃に接続して、+1のマイナーループのレプリケータ6より軟磁性体パターンD₂までをmステップとしており、これに対してブロックBは磁気パブル発生器2'を用い+0のマイナーループのスワップゲート又はトランスマッタゲート4までの書込ライン3の長さをロ+1ステップとし、読み出しライン7は磁気パブル検出器8の軟磁性体パターンD₁に接続して、+0のマイナーループ5のレプリケータ6より軟磁性体パターンD₁までをm-1ステップとしたものである。従ってブロックAとブロックBとは磁気パブル発生器より磁気パブル検出器の軟磁性体パターンまでのステップ数は同一になり、かつマイナーループへの書き込み及び読み出しはブロックAとブロックBとが交互に行なわれる。

ことになる。

そしてパブル磁区検出器の出力は第5図に示す如き検出方法で検出される。図においてB₁及びR₂は各ブロックのペアとなる軟磁性パターンの抵抗を示したもので、第4図に示したブロックAにおいてはD₂, D₃を、ブロックBにおいてはD₁, D₂に相当する。またB₁及びR₂は外付抵抗でありB₁及びR₂と共にブリッジ回路を形成している。この回路によるパブル磁区の検出は、パブル磁区が検出器を通過する際R₁成いはR₂が変化するという磁気抵抗効果を利用し、その際ブリッジ回路に生ずる非平衡電圧が出力として検知される。その際出力電圧は($R_1 - R_2$)に比例する差動出力であるためR₁及びR₂の抵抗偏差が小さいほどノイズのキャンセルが良くなり $\frac{1}{N}$ が向上する。すなわち第4図に示した如く、隣接した2つの検出用軟磁性パターンをペアとして用いるサイドバイサイド方式の本実施例ではパターン幅等の場所的変動に起因する抵抗偏差が小さく、 $\frac{1}{N}$ が良く、更に前述したクロストークノイズのキャンセル

グに対しても、第1図及び第2図に示した従来方式に比べ格段に優れたものとなる。

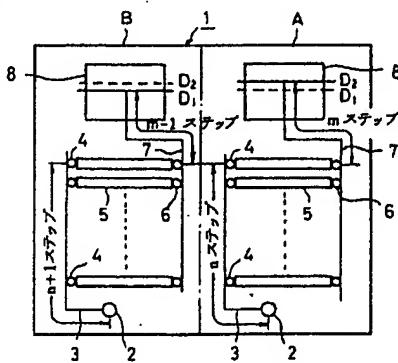
以上説明した如く本発明の磁気パブルメモリ素子はそのパブル磁区検出器に3段に並べて形成した軟磁性体バタンを用いることにより $\frac{1}{N}$ が良く、かつクロストークノイズを減少せしめることを可能としたものであって磁気パブルメモリ装置の信頼性の向上に寄与するものである。

4. 図面の簡単な説明

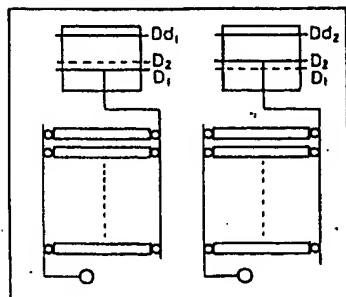
第1図および第2図は従来の磁気パブルメモリ素子の構成図、第3図は本発明にかかる実施例の磁気パブルメモリ素子のブロック構成図、第4図は本発明にかかる実施例の磁気パブルメモリ素子の構成図、第5図はパブル磁区検出回路の回路図である。

1…基板、2, 2a…パブル磁区発生器、3…書き込みライン、4…スワップゲート又はトランスマッタゲート、5…マイナーループ、6…レプリケータ、7…既出ライン、8…パブル磁区検出端、D₁, D₂, D₃…パブル磁区検出器用軟磁性体パターン。

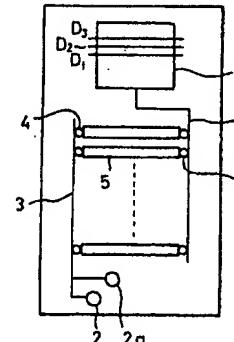
第1図



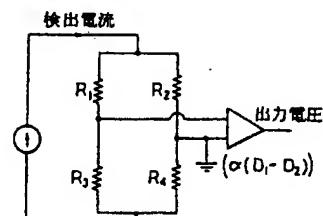
第2図



第3図



第5図



第6図

